

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

011747853     \*\*Image available\*\*

WPI Acc No: 1998-164763/199815

XRPX Acc No: N98-131246

**Active matrix colour liquid crystal display device - has shading film  
fixed at constant potential under semiconductor layer and capacitance  
formed on pixel electrode through insulating layer of electrically  
connected area**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SHARP KK (SHAF )

Inventor: MIYAMOTO T; TAKENOUCHI A; YOSHINOUCHI A; ZHANG H

Number of Countries: 003    Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 10031235</b>	A	19980203	JP 96205378	A	19960715	199815 B
KR 98010542	A	19980430	KR 9734037	A	19970715	199915
US 5966193	A	19991012	US 97891697	A	19970711	199949

Priority Applications (No Type Date): JP 96205378 A 19960715

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10031235	A	12	G02F-001/136	
KR 98010542	A		G02F-001/1343	
US 5966193	A		G02F-001/1333	

Abstract (Basic): JP 10031235 A

The device has an active matrix circuit which uses a top gate type TFT as the switching element. A shading film is fixed at a constant potential under a semiconductor layer.

A source bus line or a gate bus line is shaded with the shading film. A capacitance is formed on a pixel electrode through one part of the insulating layer of the electrically connected area.

USE - Used as projected type or direct view type display device.

ADVANTAGE - Offers shading pattern on TFT substrate.

Dwg.1/10

Title Terms: ACTIVE; MATRIX; COLOUR; LIQUID; CRYSTAL; DISPLAY; DEVICE;  
SHADE; FILM; FIX; CONSTANT; POTENTIAL; SEMICONDUCTOR; LAYER;  
CAPACITANCE;

FORMING; PIXEL; ELECTRODE; THROUGH; INSULATE; LAYER; ELECTRIC;  
CONNECT;

AREA

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/1333; G02F-001/1343;  
G02F-001/136

International Patent Class (Additional): H01L-029/786

File Segment: EPI; EngPI

BEST AVAILABLE COPY

05748135    \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 10-031235 [JP 10031235 A]

PUBLISHED: February 03, 1998 (19980203)

INVENTOR(s): CHIYOU KOUYUU

TAKEUCHI AKIRA

MIYAMOTO TADAYOSHI

YOSHINOUCHI ATSUSHI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company

or Corporation), JP (Japan)

SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 08-205378 [JP 96205378]

FILED: July 15, 1996 (19960715)

INTL CLASS: [6] G02F-001/136; G02F-001/1343; H01L-029/786

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R119 (CHEMISTRY -- Heat Resistant Resins)

ABSTRACT

PROBLEM TO BE SOLVED: To eliminate waste mass productivity by making a liquid shielding film conductive and making it have a structure usable also as a hold (auxiliary) capacity of a pixel.

SOLUTION: As a TFT(thin film transistor), a to gate structure, that is, the structure, that a semiconductor layer (active layer) 4 exists on a substrate 1, and a gate electrode (gate bus line) 6 exists on that is used, and is provided with an active matrix circuit with the structure providing the light shielding film 2 below the semiconductor layer 4. Then, the structure is provided that at least one side of a source bus line 10 or the gate bus line 6 is hidden (overlapped). Then, it has the structure that main light is made incident from the substrate 1 side. Further, the light shielding film 2 is overlapped with an area (drain) 8 electrically connected to a pixel electrode 14 in the semiconductor layer 4 through an insulation layer, and capacity is formed between the light liquid shielding film 2 and the drain 8 by keeping the light shielding film 2 to proper potential. This capacity is used as the auxiliary capacity of the pixel.  
?

PUBLICATION NUMBER : 10031235  
PUBLICATION DATE : 03-02-98

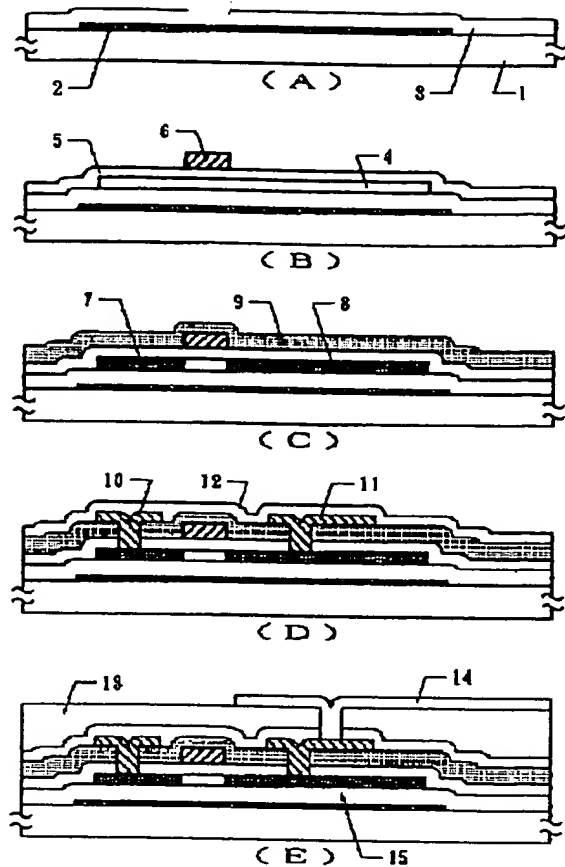
APPLICATION DATE : 15-07-96  
APPLICATION NUMBER : 08205378

APPLICANT : SHARP CORP;

INVENTOR : YOSHINOUCI ATSUSHI;

INT.CL. : G02F 1/136 G02F 1/1343 H01L  
29/786

TITLE : LIQUID CRYSTAL DISPLAY DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To eliminate waste mass productivity by making a liquid shielding film conductive and making it have a structure usable also as a hold (auxiliary) capacity of a pixel.

SOLUTION: As a TFT(thin film transistor), a to gate structure, that is, the structure, that a semiconductor layer (active layer) 4 exists on a substrate 1, and a gate electrode (gate bus line) 6 exists on that is used, and is provided with an active matrix circuit with the structure providing the light shielding film 2 below the semiconductor layer 4. Then, the structure is provided that at least one side of a source bus line 10 or the gate bus line 6 is hidden (overlapped). Then, it has the structure that main light is made incident from the substrate 1 side. Further, the light shielding film 2 is overlapped with an area (drain) 8 electrically connected to a pixel electrode 14 in the semiconductor layer 4 through an insulation layer, and capacity is formed between the light liquid shielding film 2 and the drain 8 by keeping the light shielding film 2 to proper potential. This capacity is used as the auxiliary capacity of the pixel.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-31235

(43) 公開日 平成10年(1998) 2月 3日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C
				6 1 9 B

審査請求 未請求 請求項の数 4 F D (全 12 頁)

(21) 出願番号 特願平8-205378

(22) 出願日 平成8年(1996) 7月15日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(71) 出願人 000005049

シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 武内 晃

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

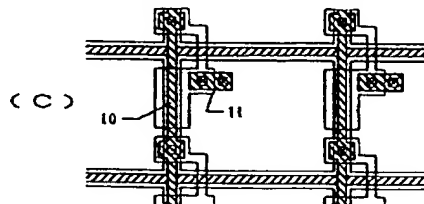
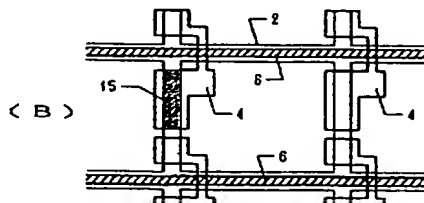
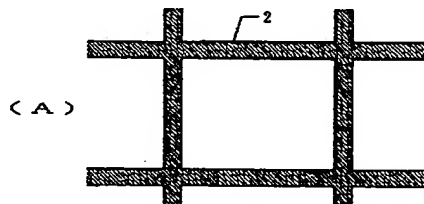
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 アクティブマトリクス型液晶表示装置において、TFT基板上の遮光パターンを提供することを目的とする。

【解決手段】 TFTをトップゲイト型とし、半導体層の下に遮光膜を形成し、前記遮光膜は、ソースバスラインもしくはゲイトバスラインの少なくとも一方と重なる構造とし、かつ、前記半導体層のうちドレインの一部もしくは全部と重なることにより容量を形成する。



**【特許請求の範囲】**

【請求項1】 トップゲイト型構造のTFTをスイッチング素子としたアクティブマトリクス回路を有し、該アクティブマトリクス回路において、一定の電位に固定された遮光膜を半導体層の下に有し、前記遮光膜によって、ソースバスラインもしくはゲイトバスラインの少なくとも一方が遮光され、前記遮光膜は半導体層のうち、画素電極に電気的に接続した領域の少なくとも一部と絶縁層を介して容量を形成することを特徴とする液晶表示装置。

【請求項2】 請求項1において、前記半導体層と他行のゲイトバスラインとの間の容量をも有することを特徴とする液晶表示装置。

【請求項3】 前記遮光膜は、その幅がソースバスラインもしくはゲイトバスラインよりも太いことを特徴とする請求項1の液晶表示装置。

【請求項4】 素子の上層に、前記遮光膜とその一部が重なる別の遮光膜を有することを特徴とする請求項1の液晶表示装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は一般に液晶表示装置に関し、特に液晶パネルを構成する一対の対向基板のうち、TFT（薄膜トランジスタ）を担持する側の基板の遮光膜の配置に特色を有するものに関する。

**【0002】**

【従来の技術】液晶表示装置は投射型もしくは直視型の表示装置として広く使われている。特に、高解像度カラー表示を達成するためには、個々の画素を薄膜トランジスタ（TFT）により駆動する、いわゆるアクティブマトリクス方式の液晶表示装置が適している。アクティブマトリクス駆動方式を使うことにより、単純マトリクス方式において生じる画素間のクロストークを排除することができ、優れた表示特性が得られる。

【0003】かかるアクティブマトリクス駆動方式では、液晶パネルを構成するガラス基板の一方にTFTが配列され、個々のTFTは対応する透明な画素電極への印加電圧を制御する。TFTは半導体素子であり、直接、外部より光が当たると特性が変動する。したがって、外光を妨げる構造とすることが求められる。特に投射型表示装置では強力な光が照射されるので、遮光は重要な課題である。

【0004】一方、液晶表示装置の各画素の境界部では隣接する画素の電界の影響を受け、光が漏れてしまう。表示のコントラスト比を向上させるためには、このようなTFT形成部分を通して漏れる光を最小化する必要がある。このような境界部は表示に用いないような構造が提案されている。このような構造をブラックマトリクス（省略して、BM、ともいう）という。ブラックマトリクス自体、遮光効果があるので、上記の遮光の目的

にも用いられる。また、ブラックマトリクスにしても、あるいは、単なる遮光効果を有する構造も被膜の形態であるので遮光膜とも呼ばれる。

【0005】従来は、TFTを担持する基板と対向する基板上に遮光膜（ブラックマトリクス）を形成していた。しかし、かかる構成では、遮光膜が対応するTFTを覆うように基板間の精密なアラインメントが必要で、このため液晶パネルの組立工程に時間を要していた。アラインメント作業を容易にするために遮光パターンを大きめに形成すると、表示の明るさが減じる等の問題が生じてしまう。

【0006】上記の問題を解決するためには、遮光膜をTFTを担持する同じ基板上に形成する構成とすればよい。遮光膜は半導体層よりも上の層もしくは下の層に形成された。すなわち、前者であれば、TFT作製プロセスでは、遮光膜は終段の工程で形成され、後者であれば、初期の段階で形成される。

**【0007】**

【発明が解決しようとする課題】従来の遮光膜は、単に遮光の目的のみに使用されていた。しかし、そのためだけに成膜工程やエッチング・パターンニング工程を追加することは、量産性の点で無駄である。本発明人はこのことに鑑み、遮光膜を導電性のものとし、かつ、それを画素の保持容量にも利用できるような構造を提供することを目的とする。

**【0008】**

【課題を解決するための手段】本発明は、TFTとしてトップゲイト型構造（基板上に半導体層（活性層）があり、その上にゲイト電極がある構造）を用い、遮光膜を半導体層の下に設けた構造のアクティブマトリクス回路を特色とする。そして、前記遮光膜によって、ソースバスラインもしくはゲイトバスラインの少なくとも一方が隠される（重なる）構造とする。

【0009】そして、主たる光は基板側から入射される構造とする。また、遮光膜は半導体層のうち、画素電極に電気的に接続した領域（ドレイン）と、絶縁層を介して重なり、遮光膜を適当な電位に保つことにより遮光膜とドレインとの間に容量を形成する。この容量は画素電極の容量（画素容量）と並列であるので、補助容量（保持容量）として使用できる。

【0010】もちろん、上記のように遮光膜と半導体層との間の容量に加えて、半導体層と他行のゲイトバスラインその他の配線との間の容量を組み合わせてもよい。半導体層と遮光膜の間に存在する絶縁膜の厚さは、TFTのゲイト絶縁膜の厚さの2倍以上であることが好ましい。遮光膜は、ソースバスラインやゲイトバスラインよりも太く、これらを遮光できる構造とすることが望ましい。また遮光膜は適当な電位に固定される。例えば、遮光膜は液晶パネルの外部端子に接続され、適当な電位を外部から与えられる構成が採られる。

【0011】さらに、タンタルやチタンのごとき機械的に強固な材料を用いた場合には、このような遮光膜は外部の接触端子としても使用できる。上記の補助容量は遮光膜と重なって形成されるので、回路設計上、開口率を低下させることがない。本発明においては、遮光膜は半導体層を全て隠す形状でも、一部が重なる形状でもよい。

【0012】また、上記のような半導体層の下に設ける遮光膜に加えて、素子の上層にも遮光膜（上層の遮光膜という）を設けてもよい。特にTFTの部分において上層の遮光膜を設けると、TFTに入射する迷光を極限にまで減らすことができ、TFTの動作を安定させる上で効果的である。この場合、上層の遮光膜は導電性でも、絶縁性でもよい。また、上層の遮光膜を導電性のものとする場合には、上層の遮光膜と画素電極との間に容量を形成してもよい。この場合、上層の遮光層と下層の遮光層が重なるように配置すると、同じ位置に層の異なる2つの容量が形成でき、素子の集積化の上で有効である。

【0013】

【実施例】

〔実施例1〕 図1に本実施例の作製工程断面図、図2に本実施例の作製工程平面図をそれぞれ示す。基板1としては透明なガラス基板、例えば、本実施例ではコーニング7059を用いる。基板1上にはスパッタ法によってタンタル膜を100～3000Å、例えば、1000Å形成し、これを公知のフォトリソグラフィ法によって加工して、遮光膜2を得る。この段階で上方より見た様子を図2（A）に示す。同図に示すように、遮光膜2のパターンは画素を分離するパターンである。なお遮光膜2は図示しない共通電極に延在し、そこには液晶パネル外から適当な電位が与えられる。（図2（A））

【0014】次に、公知のプラズマCVD法によって厚さ500～5000Å、例えば、2500Åの酸化珪素膜3を堆積する。酸化珪素膜3はTFTの地下絶縁膜として機能する。（図1（A））

次いで、公知のプラズマCVD法もしくは減圧CVD法により厚さ100～1500Å、例えば、500Åの非晶質珪素膜を堆積し、公知の熱アニール法もしくはレーザーアニール法等の手段によってこれを結晶化させる。さらに、公知のフォトリソグラフィ法によって、結晶化した珪素膜を島状に分離し、活性層（島状領域）4を得る。

【0015】次に、公知のプラズマCVD法により、厚さ500～3000Åの酸化珪素膜5を堆積する。酸化珪素膜5はTFTのゲート絶縁膜として機能する。さらに、厚さ2000～8000Å、例えば、6000Åのアルミニウム（もしくはアルミニウム合金）膜をスパッタ法によって堆積し、これを公知のフォトリソグラフィ法によって加工し、ゲート電極と配線（ゲートバスライン）6を形成する。（図1（B））

【0016】図2（B）にはこの段階で上方より見た様子を示す。同図に示されるようにゲートバスライン6は平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン2上に存在する。また、活性層4は、その一部15が先に形成された遮光膜のパターン2と重なるように形成される。（図2（B））

【0017】次いで、公知の不純物拡散技術、例えば、イオンドーピング法によりゲートバスライン6をマスクとして、活性層4にN型の不純物を導入する。ドーピング後は熱アニール法もしくはレーザーアニール法によって、再結晶化をおこなう。かくして、ソース7、ドレイン8が得られる。なお、以下の記述でドレインとは単に画素電極の接続される方の不純物領域のことを意味する。次に公知のプラズマCVD法により厚さ3000～8000Å、例えば、5000Åの窒化珪素膜9を堆積する。窒化珪素膜9は第1の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。（図1（C））

【0018】次いで、窒化珪素膜9にソース7およびドレイン8に通じるコンタクトホールを形成し、公知のスパッタ法によりアルミニウム合金膜もしくはアルミニウムとチタンの多層膜を堆積し、これを公知のフォトリソグラフィ法により加工し、ソースバスライン10、ドレイン電極11を形成する。図2（C）にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン10は平行に複数形成され、また、個々の活性層4と各1つのコンタクトを有する。また、ソースバスライン10は先に形成されたタンタルの遮光膜のパターン2上に存在する。（図2（C））

【0019】その後、公知のプラズマCVD法により厚さ3000～8000Å、例えば、5000Åの酸化珪素膜12を堆積する。酸化珪素膜12は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。（図1（D））

次に、ポリイミド膜を塗布し、表面の平坦化をおこなう。この工程でポリイミド膜13が形成される。次いで、ポリイミド膜13をエッチングして、ドレイン電極11に通じるコンタクトホールを形成する。

【0020】そして、公知のスパッタ法によって、透明導電性被膜、例えば、インディウム錳酸化物被膜を500～2000Å、例えば、1000Å堆積し、これを公知のフォトリソグラフィ法を用いて加工し、画素電極14を得る。画素電極は遮光膜2と重なるようにパターンを形成する。かくすることにより漏光を防止することができる。（図1（E））

かくして、アクティブマトリクス回路が完成する。本実施例では、TFTがNチャネル型であり、かつ、TFTのチャネルの下に遮光膜2が形成されている。TFTに印加される電位がいかなる場合にも遮光膜2によってON状態とならないためには、遮光膜2にはTFTのソー

もしくはドレインに印加される可能性のある最低電位よりも低い電位を付与することが望まれる。

【0021】かくして、遮光膜2とドレイン8（活性層4）との間に容量が形成され、かつ、この容量は画素電極と並列に存在するので、画素容量の補助容量（保持容量）となる。もちろん、遮光膜2が存在するため、TFTのチャネルに光が入射することが防止され、TFTの特性が安定する。

【0022】〔実施例2〕 図3を用いて本実施例を説明する。本実施例のTFT作製工程自体は実施例1と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図3の番号は実施例1のものに対応する。まず、実施例1と同様にタンタルで遮光膜のパターン2を形成する。これを図3（A）に示す。（図3（A））

【0023】次いで、活性層4とゲイトバスライン6を形成する。ここで、ゲイトバスライン6と活性層4は共に遮光膜2の内側に配置される。（図3（B））

さらに、データバスライン10、ドレイン電極11を形成する。ここでも、データバスライン10、ドレイン電極11は遮光膜2の内側に配置される。（図3（C））かくして、活性層、ゲイトバスライン、データバスライン、ドレイン電極のいずれもが遮光膜2の内側に形成され、これらは遮光膜2によって遮光される。

【0024】〔実施例3〕 図4に本実施例の作製工程断面図、図5に本実施例の作製工程平面図をそれぞれ示す。基板41としてはコーニング1737を用いる。基板41上にはスパッタ法によってタンタル膜を2000Å形成し、これをフォトリソグラフィ法によって加工して、遮光膜42を得る。この段階で上方より見た様子を図5（A）に示す。同図に示すように、遮光膜42のパターンはゲイトバスライン（ゲイト電極を含む）とソースバスラインと重なり、画素を分離するパターンである。（図5（A））

【0025】次に、プラズマCVD法によって厚さ1500Åの酸化珪素膜43を堆積する。酸化珪素膜43はTFTの地下絶縁膜として機能する。（図4（A））

次いで、減圧CVD法により厚さ800Åの非晶質珪素膜を堆積し、熱アニール法によってこれを結晶化させ、フォトリソグラフィ法によって、これを島状に分離し、活性層（島状領域）44を得る。さらに、プラズマCVD法により、厚さ1000Åの酸化珪素膜45を堆積する。酸化珪素膜45はTFTのゲイト絶縁膜として機能する。（図4（B））

【0026】次に、イオンドーピング法により活性層44にN型の不純物を選択的に導入する。ドーピング後は熱アニール法またはレーザーアニール法によって、再結晶化をおこなう。かくして、ソース47、ドレイン48が得られる。さらに、厚さ5000Åのアルミニウム-チタン合金膜をスパッタ法によって堆積し、これをフォトリソグラフィ法によって加工し、ゲイトバスライン

46a（当該画素のゲイト電極として機能する部分）およびゲイトバスライン46b（次行のゲイト電極として機能する部分）を形成する。ゲイトバスライン46bは当該画素の活性層44のドレイン48と重なるように形成される。

【0027】図5（B）にはこの段階で上方より見た様子を示す。同図に示されるようにゲイトバスライン46aおよび46bは平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン42上に存在する。また、活性層44は、その一部が先に形成された遮光膜のパターン42と重なるように、また、他の部分が次行のゲイトバスラインと重なるように形成される。

（図5（B））

次にプラズマCVD法により厚さ5000Åの窒化珪素膜49を堆積する。窒化珪素膜49は第1の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。（図4（C））

【0028】次いで、窒化珪素膜49にソース47およびドレイン48に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン50、ドレイン電極51を形成する。図5（C）にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン50は平行に複数形成され、また、個々の活性層44と各1つのコンタクトを有する。また、ソースバスライン50は先に形成されたタンタルの遮光膜のパターン42上に存在する。（図5（C））

その後、プラズマCVD法により厚さ5000Åの酸化珪素膜52を堆積する。酸化珪素膜52は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。（図4（D））

【0029】次に、ポリイミド膜の平坦化膜53を形成し、これをエッチングして、ドレイン電極51に通じるコンタクトホールを形成する。そして、スパッタ法によって、インディウム錫酸化物被膜を1500Å堆積し、これをフォトリソグラフィ法を用いて加工し、画素電極54を得る。画素電極は遮光膜2と重なるようにパターンを形成する。かくすることにより漏光を防止することができる。（図4（E））

かくして、アクティブマトリクス回路が完成する。本実施例も実施例1と同様にNチャネル型であり、遮光膜42にはTFTのソースもしくはドレインに印加される可能性のある最低電位よりも低い電位を付与することが望まれる。

【0030】本実施例では、実施例1と同様に、遮光膜42とドレイン48（活性層44）との間に容量55（図4（E）の矢印）が形成される。しかしながら、そればかりではなく、ドレイン48と次行のゲイトバスラインとの間にも容量56（図4（E）の矢印）が形成さ

れる。容量55の一部と容量56は立体的に形成されるため、開口率を低下させることなく、実施例1の場合よりも、より多くの容量が補助容量として用いられる。

【0031】本実施例では、容量56を形成するために、次行のゲートバスラインを用いたが、回路配置上、開口率が低下するという問題はあるが、ゲートバスラインと同じ層内の電位の固定された配線を用いてもよい。ゲートバスラインを容量の一方の電極として用いる場合には、容量がゲート信号の影響を受け、したがって、マトリクス of 走査方向が固定されるのに対し、ゲート信号と独立した電位に保持された配線を用いると、走査方向は上からでも下からでも任意に設定できる。

【0032】〔実施例4〕 図6を用いて本実施例を説明する。本実施例のTFT作製工程自体は実施例2と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図6の番号は実施例2のものに対応する。まず、実施例2と同様にタンタルで遮光膜のパターン42を形成する。これを図6(A)に示す。(図6(A))

【0033】次いで、活性層44とゲートバスライン46を形成する。ここで、ゲートバスライン46と活性層44は共に遮光膜42の内側に配置される。(図6(B))さらに、データバスライン50、ドレイン電極51を形成する。ここでも、データバスライン50、ドレイン電極51は遮光膜42の内側に配置される。(図6(C))

かくして、活性層、ゲートバスライン、データバスライン、ドレイン電極のいずれもが遮光膜42の内側に形成され、これらは遮光膜42によって遮光される。

【0034】〔実施例5〕 図7に本実施例の作製工程断面図、図8に本実施例の作製工程平面図をそれぞれ示す。基板71としてはコーニング1737を用いる。基板71上にはスパッタ法によってタンタル膜を1000Å形成し、これをフォトリソグラフィ法によって加工して、遮光膜72を得る。この段階で上方より見た様子を図8(A)に示す。同図に示すように、遮光膜72のパターンはソースバスラインと重なるパターンである。(図8(A))

【0035】次に、プラズマCVD法によって厚さ2000Åの酸化珪素膜73を堆積する。酸化珪素膜73はTFTの地下絶縁膜として機能する。(図7(A))

次いで、減圧CVD法により厚さ1000Åの非晶質珪素膜を堆積し、レーザーアニール法によってこれを結晶化させ、フォトリソグラフィ法によって、これを島状に分離し、活性層(島状領域)74を得る。さらに、プラズマCVD法により、厚さ1200Åの酸化珪素膜75を堆積する。酸化珪素膜75はTFTのゲート絶縁膜として機能する。

【0036】次に、厚さ5000Åのアルミニウム-チタン合金膜をスパッタ法によって堆積し、これをフォトリソグラフィ法によって加工し、ゲートバスライン7

6を形成する。(図7(B))

図8(B)にはこの段階で上方より見た様子を示す。同図に示されるようにゲートバスライン76は平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン72と直交する。また、活性層74は、その一部が先に形成された遮光膜のパターン72と重なるように形成される。(図8(B))

【0037】さらに、イオンドーピング法により活性層74にゲートバスライン76をマスクとしてN型の不純物を導入する。ドーピング後はレーザーアニール法によって、再結晶化をおこなう。かくして、ソース77、ドレイン78が得られる。次にプラズマCVD法により厚さ5000Åの窒化珪素膜79を堆積する。窒化珪素膜79は第1の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。(図7(C))

【0038】次いで、窒化珪素膜79にソース77およびドレイン78に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン80、ドレイン電極81を形成する。図8(C)にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン80は平行に複数形成され、また、個々の活性層74と各1つのコンタクトを有する。また、ソースバスライン80は先に形成されたタンタルの遮光膜のパターン72上に存在する。(図8(C))

【0039】その後、プラズマCVD法により厚さ5000Åの酸化珪素膜82を堆積する。酸化珪素膜82は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。(図7(D))

次に、スパッタ法によって厚さ1000Åのクロム膜を堆積し、これをパターン形成して上層の遮光膜85を形成する。この段階で上方より見た様子を図8(D)に示す。同図より明らかなように上層の遮光膜はゲートバスラインを隠すように形成される。

【0040】さらに、ポリイミド膜の平坦化膜83を形成し、これをエッチングして、ドレイン電極81に通じるコンタクトホールを形成する。遮光膜85とポリイミド膜83の間には何らかの無機材料被膜を設けて、密着性を強化してもよい。そして、スパッタ法によって、インディウム錫酸化物被膜を1500Å堆積し、これをフォトリソグラフィ法を用いて加工し、画素電極84を得る。画素電極84と上層の遮光膜85は一部重なるように配置する。(図7(E))

かくして、アクティブマトリクス回路が完成する。本実施例も実施例1および3と同様にNチャネル型であるが、遮光膜72はTFTの活性層のうち、チャネルと重なっていないので、遮光膜72の電位がいかなるものであれ、TFTに与える影響はない。この点で他の実施例のものよりも優れている。



【0041】本実施例では、実施例1と同様に、遮光膜72とドレイン78（活性層74）との間に容量が形成される。そればかりではなく、上層の遮光膜85にも適切な電位を付与することにより、画素電極84との間にも容量が形成される。画素電極84は当該画素を駆動するゲートバスライン76により影響を受けることは避けなければならないが、本実施例では、ゲートバスラインを覆って導電性の遮光膜85が設けられるので、画素電極84とゲートバスライン76とのカップリングは十分に低減される。

【0042】さらに、本実施例では、下層の遮光膜72はソースバスライン80と、上層の遮光膜85はゲートバスライン76と、それぞれ重なって配置されるが、各遮光膜とバスラインの間には十分な絶縁層があるので、バスラインに対する寄生容量は極限にまで低減できる。なお、本実施例ではTF Tのチャンネル部分は上層の遮光膜85によってのみ遮光される構造となっているが、下層の遮光膜72によっても遮光されるようなパターンとするとTF Tの動作を安定させる上でより効果的である。

【0043】〔実施例6〕 図9を用いて本実施例を説明する。本実施例のTF T作製工程自体は実施例3と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図9の番号は実施例3のものに対応する。まず、実施例3と同様にタンタルで遮光膜のパターン72を形成する。これを図9（A）に示す。（図9（A））

【0044】次いで、活性層74とゲートバスライン76を形成する。ここで、ゲートバスライン76と活性層74は共に遮光膜72の内側に配置される。（図9（B））

さらに、データバスライン80、ドレイン電極81を形成する。ここでもドレイン電極81は遮光膜72の内側に配置される。かくして、活性層、ゲートバスライン、ドレイン電極のいずれもが遮光膜72の内側に形成され、これらは遮光膜72によって遮光される。（図9（C））

【0045】次に、上層の遮光膜85を形成する。本実施例では場合は、遮光膜85は分離して与えられるので、導電性である必要はなく、絶縁性のものでもよい。また、遮光膜85はデータバスライン80を隠すように形成する。かくして、データバスライン80は遮光膜72と上層の遮光膜85によって覆われる。（図9（D））

本実施例は実施例1～4と同様に遮光膜72がTF Tのチャンネルと重なるので、その電位はTF Tのソース、ドレインに印加される電位よりも低い（Nチャンネル型の場合）もしくは高い（Pチャンネル型の場合）ことが望ましい。

【0046】〔実施例7〕 図10に本実施例の作製工程断面図を示す。本実施例は、遮光膜として形成される

タンタル膜の一部を外部とのボンディング端子に用いる例である。基板91としてはコーニング1737を用いる。基板91上にはスパッタ法によってタンタル膜を1000Å形成し、これをフォトリソグラフィ法によって加工して、遮光膜92bおよびボンディング端子電極92aを得る。ボンディング端子電極92aおよび遮光膜92bはこの段階では電氣的に接続されている。そして、プラズマCVD法によって厚さ2000Åの酸化珪素膜93を堆積する。酸化珪素膜93はTF Tの地下絶縁膜として機能する。（図10（A））

【0047】次いで、結晶性珪素膜によって活性層（島状領域）94を得る。さらに、プラズマCVD法により、厚さ1200Åの酸化珪素膜95を堆積する。酸化珪素膜95はTF Tのゲート絶縁膜として機能する。次に、酸化珪素膜94および95をエッチングして、ボンディング端子電極92aにコンタクトホール96aおよび96bを形成する。前者はボンディング箇所であり、後者はゲートバスラインとのコンタクトを得る場所である。（図10（B））

【0048】そして、厚さ5000Åのアルミニウム-チタン合金膜によって、ゲートバスライン97aおよび97bを形成する。この段階では、ゲートバスライン97aおよび97bは電氣的に接続している。そして、ゲートバスライン97aがボンディング端子電極92aと接触しているため、ボンディング端子電極92a、遮光膜92b、およびゲートバスライン97aおよび97bは全て同電位に保たれている。かくすると帯電現象によるゲート絶縁膜の破壊は極力抑えられる。（図10（C））

【0049】さらに、イオンドーピング法により活性層94にゲートバスライン97bをマスクとしてN型の不純物を導入し、ソース98、ドレイン99を得る。そして、プラズマCVD法により厚さ5000Åの窒化珪素膜100（第1の層間絶縁物）を堆積する。次いで、窒化珪素膜100にソース98およびドレイン99に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン101、ドレイン電極102を形成する。そして、この段階でボンディング端子電極92aと遮光膜92b、およびゲートバスライン97aと97bを機械的に切断する。（図10（D））

【0050】その後、プラズマCVD法により厚さ3000Åの窒化珪素膜103（第2の層間絶縁物）を堆積する。（図10（E））

さらに、ポリイミド膜の平坦化膜104を形成し、これと2つの窒化珪素膜100および103をエッチングして、ドレイン電極102およびボンディング端子電極92aに通じるコンタクトホールを形成する。このエッチング工程においてはドレイン電極102がエッチングス

トッパとして機能せしめてもよい。そして、スパッタ法によって、インディウム錳酸化物（ITO）被膜を1500Å堆積し、これをフォトリソグラフィ法を用いて加工し、ボンディング端子105aおよび画素電極105bを得る。（図10（F））

【0051】このようにして作製したアクティブマトリクス回路のTFTとボンディング部分が完成する。ボンディングは、ボンディング端子105aにおいて形成されるが、ボンディング端子92aの、特にコンタクトホール96aにおいておこなうとよい。該部分はタンタル膜とITO膜との多層領域であり、機械的に強固であるため、ボンディングの目的に適している。例えば、層間絶縁物上のITO膜では、下層の層間絶縁物がさまざまな応力にさらされているため、例えば、膜の剥離が生じたりして、十分な接続が得られない。しかしながら、コンタクトホール96aの部分では下地は基板そのものであり、機械的に非常に安定している。

#### 【0052】

【発明の効果】本発明によって、遮光膜を補助容量として有効に利用できる。実施例では結晶性珪素を用いたTFTを取り上げたが、非晶質珪素を用いたTFT、その他の半導体を用いたTFTであっても同様に実施できることは自明である。また、（下層の）遮光膜もタンタル以外のものでも、導電性で、かつ、その後のプロセスに耐えるものであれば何ら問題なく使用できる。このように本発明は工業上有用である。

#### 【図面の簡単な説明】

【図1】本発明の実施例を説明する工程断面図である。（実施例1）

【図2】本発明の実施例を説明する工程平面図である。（実施例1）

【図3】本発明の実施例を説明する工程平面図である。（実施例2）

【図4】本発明の実施例を説明する工程断面図である。

（実施例3）

【図5】本発明の実施例を説明する工程平面図である。（実施例3）

【図6】本発明の実施例を説明する工程平面図である。（実施例4）

【図7】本発明の実施例を説明する工程断面図である。（実施例5）

【図8】本発明の実施例を説明する工程平面図である。（実施例5）

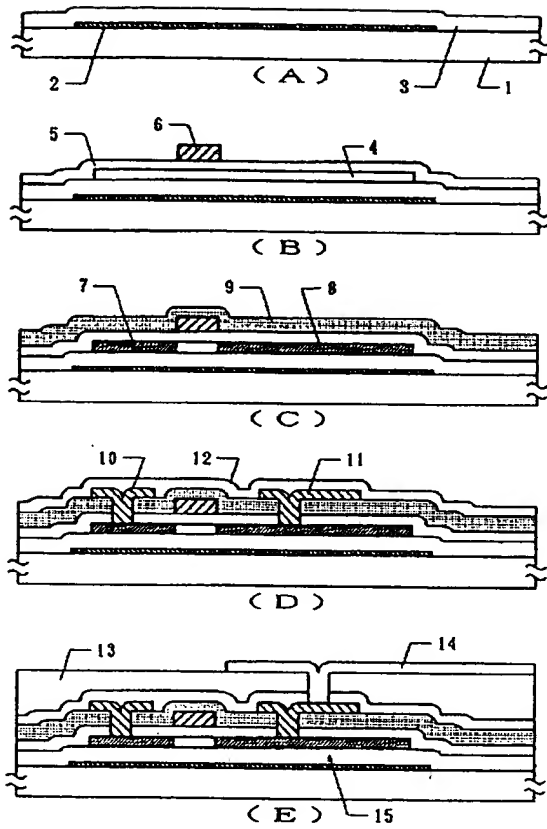
【図9】本発明の実施例を説明する工程平面図である。（実施例6）

【図10】本発明の実施例を説明する工程平面図である。（実施例7）

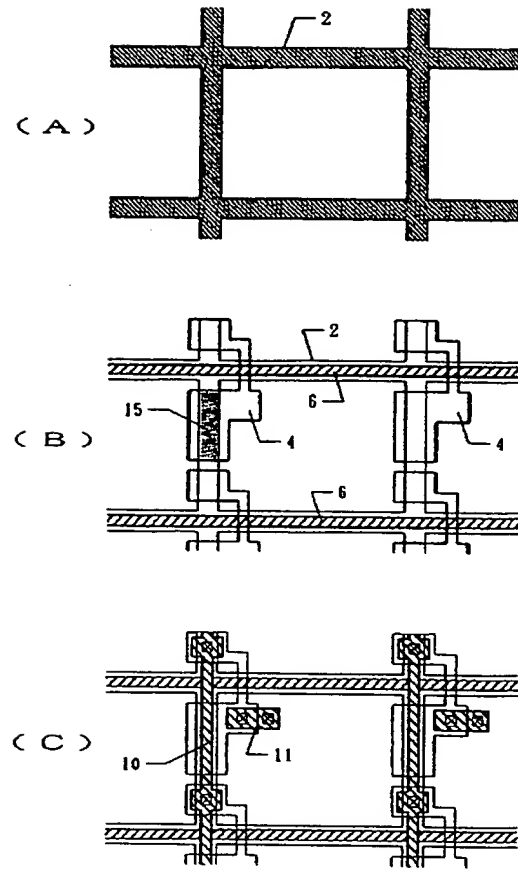
#### 【符号の説明】

1、41、71、91	基板
2、42、72、92	（下層の）遮光膜
3、43、73、93	下地絶縁膜
4、44、74、94	半導体層
5、45、75、95	ゲイト絶縁膜
6、46、76、97	ゲイト電極（ゲイトバスライン）
7、47、77、98	ソース
8、48、78、99	ドレイン
9、49、79、100	第1層間絶縁物
10、50、80、101	ソースバスライン
11、51、81、102	金属電極
12、52、82、103	第2層間絶縁物
13、53、83、104	平坦化膜
14、54、84、105	画素電極（透明導電膜）
15、55、56	容量
85	上層の遮光膜
96	下層の遮光膜に対するコンタクトホール

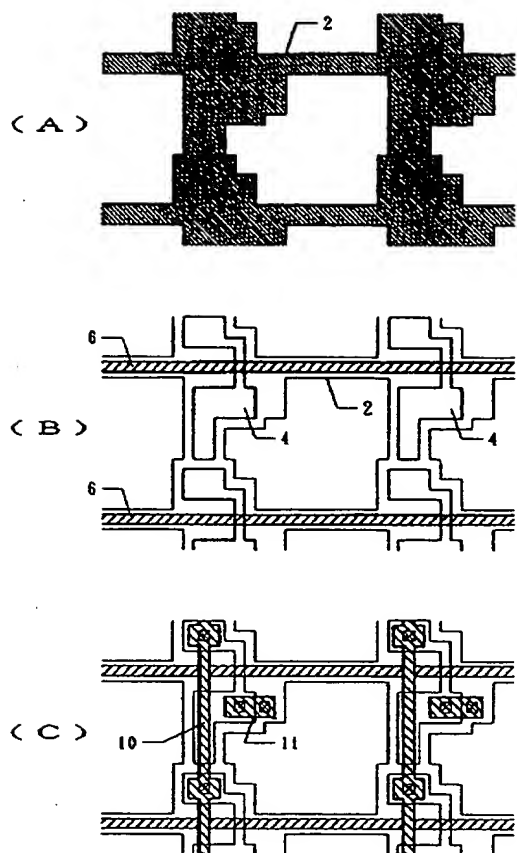
【図1】



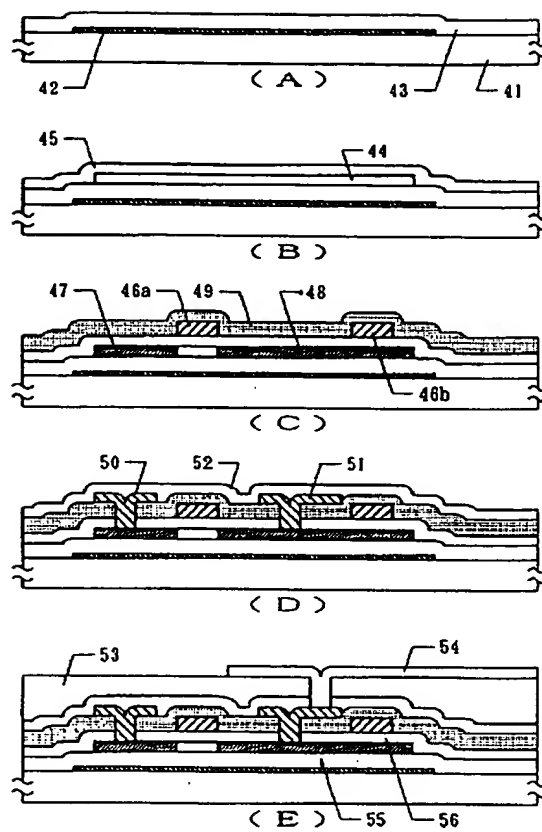
【図2】



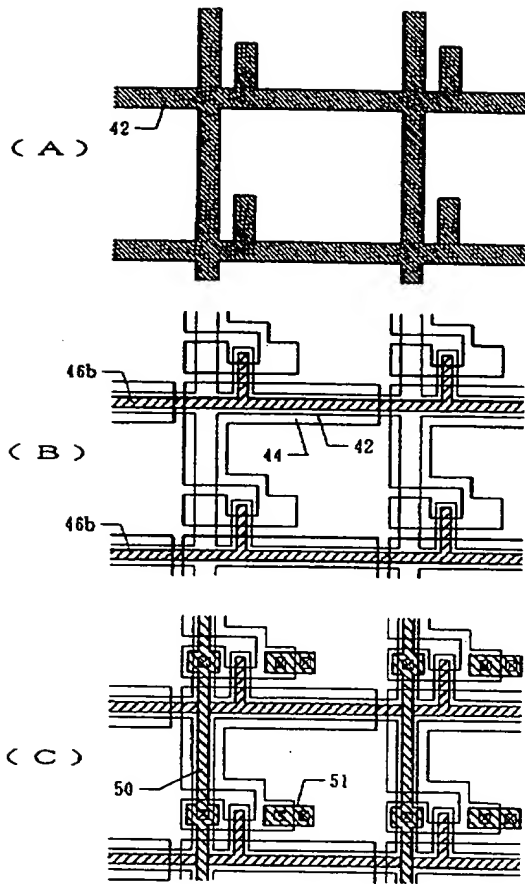
【図3】



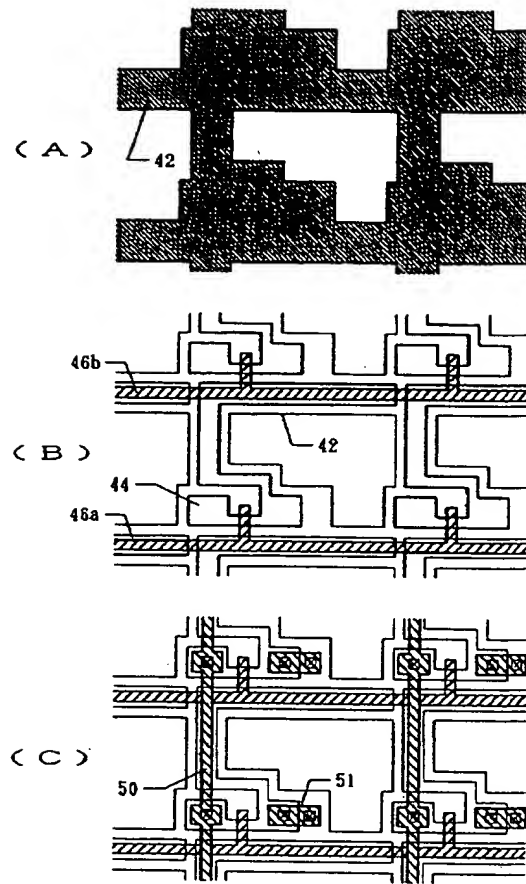
【図4】



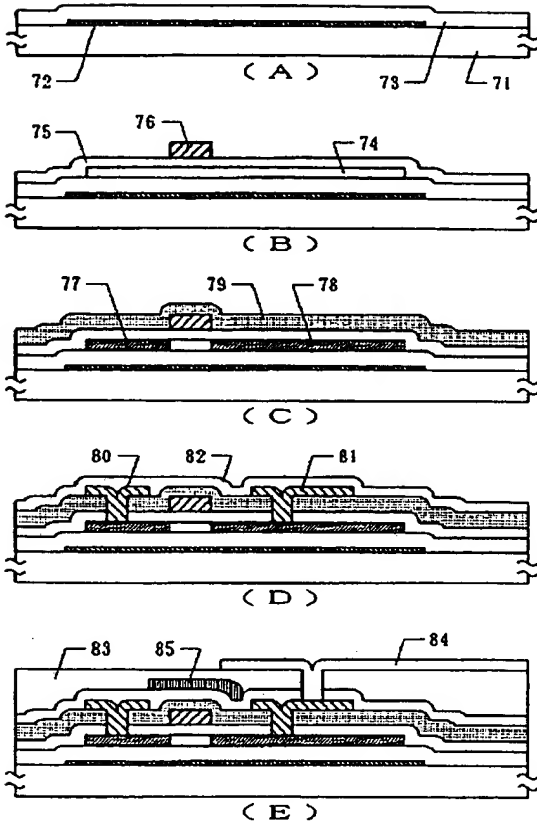
【図5】



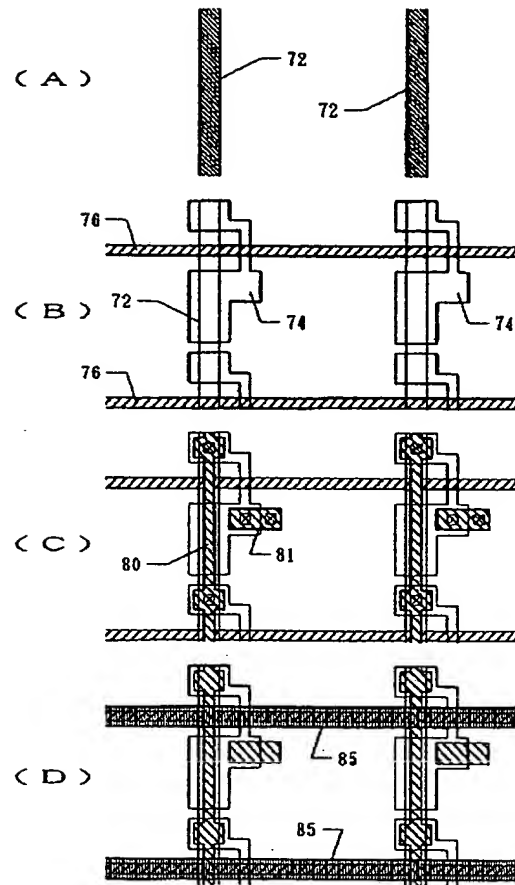
【図6】



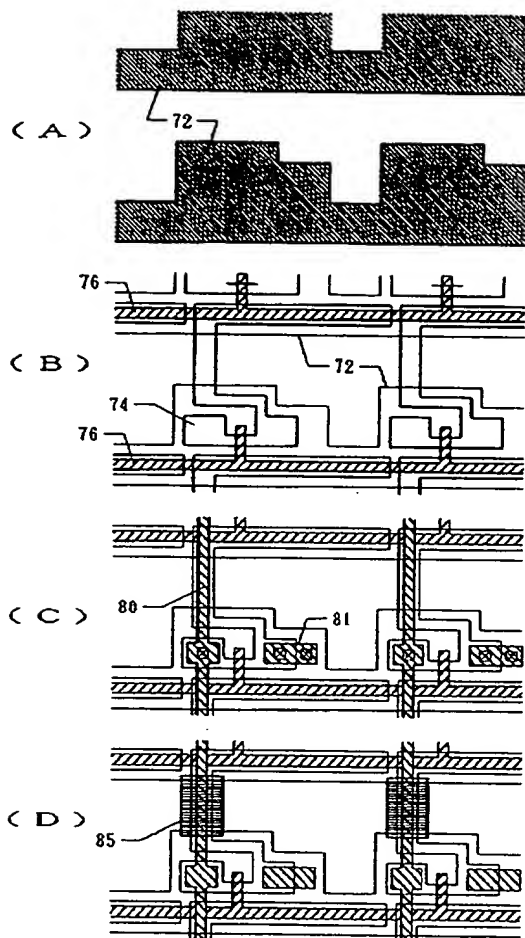
【図7】



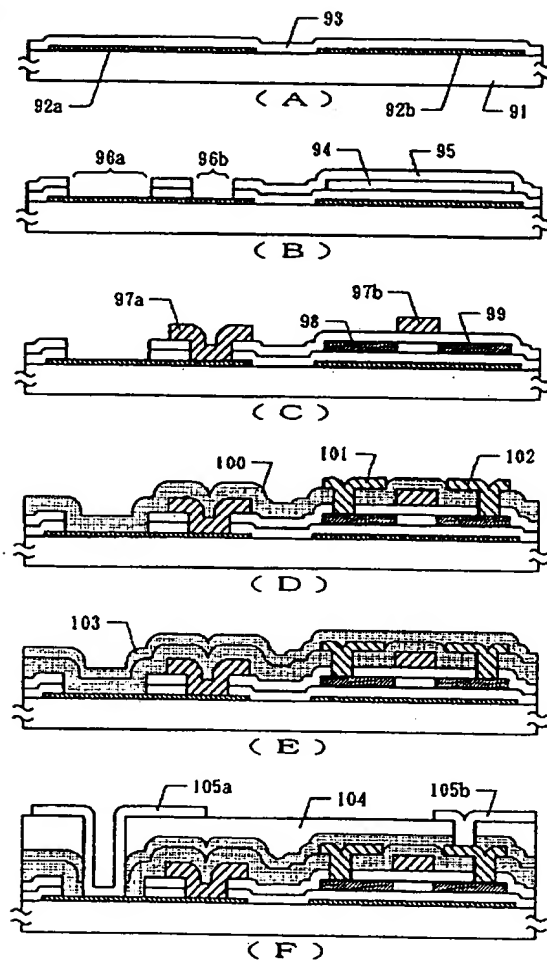
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 宮本 忠芳  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

(72)発明者 芳之内 淳  
 大阪府大阪市阿倍野区長池町22番22号 シ  
 ャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**